

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-222054

(P2000-222054A)

(43) 公開日 平成12年8月11日 (2000.8.11)

(51) Int Cl.
G 0 5 F 3/24

識別記号

F I
G 0 5 F 3/24.

テーマコード (参考)

A

審査請求 未請求 請求項の数13 O L (全 10 頁)

(21) 出願番号 特願2000-15538 (P2000-15538)

(22) 出願日 平成12年1月25日 (2000.1.25)

(31) 優先権主張番号 1 9 9 9 P - 2 9 4 9

(32) 優先日 平成11年1月29日 (1999.1.29)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 安 聖 泰

大韓民国京畿道果川市復林洞41番地 住公
アパート804棟406号

(72) 発明者 全 龍 真

大韓民国京畿道安養市東安洞1052-5番地
木蓮アパート506棟1805号

(74) 代理人 100086368

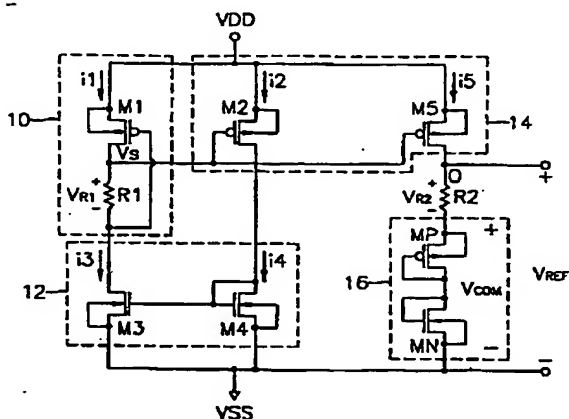
弁理士 萩原 誠

(54) 【発明の名称】 バンドギャップ基準電圧発生回路

(57) 【要約】

【課題】 電源電圧の変化及び製造工程の変化に影響を受けず一定した基準電圧を発生するバンドギャップ基準電圧発生回路を提供すること。

【解決手段】 定電圧供給手段10が定電圧を供給し、第1電流ミラー12が前記定電圧供給手段10を通じて流れる第1電流を反射させて第2電流を発生する。第2電流ミラー14は、前記定電圧供給手段10から出力される前記定電圧により制御され、前記第2電流を反射させ第3電流を発生して出力ノードOに出力する。基準電圧手段16は前記出力ノードOに基準電圧を発生するために前記出力ノードOに接続される。基準電圧手段16は直列に接続される少なくとも一つのPMOSトランジスタMPと少なくとも一つのNMOSトランジスタMNを含み、これらPMOSトランジスタMPとNMOSトランジスタMNのスレッシュホールド電圧を決定するためのイオン注入が同時に行われる。



【特許請求の範囲】

【請求項 1】 定電圧供給手段と、

この定電圧供給手段を通じて流れる第1電流を反射させて第2電流を発生する第1電流ミラーと、
前記定電圧供給手段から出力される定電圧により制御され、前記第2電流を反射させ第3電流を発生して出力ノードに出力する第2電流ミラーと、

前記出力ノードに基準電圧を発生するために前記出力ノードに接続される基準電圧手段とを具備し、
前記基準電圧手段は少なくとも一つのPMOSトランジスタと少なくとも一つのNMOSトランジスタとで構成されることを特徴とするバンドギャップ基準電圧発生回路。

【請求項 2】 前記PMOSトランジスタと前記NMOSトランジスタのスレッシュホールド電圧を決定するためのイオン注入が同時に行われることを特徴とする請求項 1 に記載のバンドギャップ基準電圧発生回路。

【請求項 3】 前記出力ノードと前記基準電圧手段との間に接続される抵抗をさらに具備することを特徴とする請求項 1 に記載のバンドギャップ基準電圧発生回路。

【請求項 4】 前記PMOSトランジスタと前記NMOSトランジスタは前記出力ノードと接地電圧との間に直列に接続されることを特徴とする請求項 1 に記載のバンドギャップ基準電圧発生回路。

【請求項 5】 前記PMOSトランジスタと前記NMOSトランジスタは前記出力ノードと接地電圧との間に並列に接続されることを特徴とする請求項 1 に記載のバンドギャップ基準電圧発生回路。

【請求項 6】 前記定電圧供給手段は、
電源電圧にソースが接続されるPMOSトランジスタと、
このPMOSトランジスタのドレインに一端が接続され、かつPMOSトランジスタのゲートに他端が接続される抵抗とを具備し、
前記PMOSトランジスタのドレインから定電圧が出力されることを特徴とする請求項 1 に記載のバンドギャップ基準電圧発生回路。

【請求項 7】 前記第1電流ミラーは、
ドレインが前記定電圧供給手段に接続され、ソースが接地電圧に接続される第1NMOSトランジスタと、
ドレイン及びゲートが前記第1NMOSトランジスタのゲートと前記第2電流ミラーに共通接続され、ソースが接地電圧に接続される第2NMOSトランジスタとを具備することを特徴とする請求項 1 に記載のバンドギャップ基準電圧発生回路。

【請求項 8】 前記第2電流ミラーは、
電源電圧にソースが接続され、前記第1電流ミラーにドレインが接続され、前記定電圧供給手段にゲートが接続される第1PMOSトランジスタと、
電源電圧にソースが接続され、前記出力ノードにドレインが接続され、前記定電圧供給手段にゲートが接続される第2PMOSトランジスタとを具備することを特徴とする

請求項 1 に記載のバンドギャップ基準電圧発生回路。

【請求項 9】 前記PMOSトランジスタと前記NMOSトランジスタは電源電圧と前記出力ノードとの間に直列に接続されることを特徴とする請求項 1 に記載のバンドギャップ基準電圧発生回路。

【請求項 10】 前記PMOSトランジスタと前記NMOSトランジスタは電源電圧と前記出力ノードとの間に並列に接続されることを特徴とする請求項 1 に記載のバンドギャップ基準電圧発生回路。

【請求項 11】 前記定電圧供給手段は、
接地電圧にソースが接続されるNMOSトランジスタと、
このNMOSトランジスタのドレインに一端が接続され、かつNMOSトランジスタのゲートに他端が接続される抵抗とを具備し、
前記NMOSトランジスタのドレインから定電圧が出力されることを特徴とする請求項 1 に記載のバンドギャップ基準電圧発生回路。

【請求項 12】 前記第1電流ミラーは、
ドレインが前記定電圧供給手段に接続され、ソースが電源電圧に接続される第1PMOSトランジスタと、
ドレイン及びゲートが前記第1PMOSトランジスタのゲートと前記第2電流ミラーに共通接続され、ソースが電源電圧に接続される第2PMOSトランジスタとを具備することを特徴とする請求項 1 に記載のバンドギャップ基準電圧発生回路。

【請求項 13】 前記第2電流ミラーは、
接地電圧にソースが接続され、前記第1電流ミラーにドレインが接続され、前記定電圧供給手段にゲートが接続される第1NMOSトランジスタと、
接地電圧にソースが接続され、前記出力ノードにドレインが接続され、前記定電圧供給手段にゲートが接続される第2NMOSトランジスタとを具備することを特徴とする請求項 1 に記載のバンドギャップ基準電圧発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体集積回路に係り、特にバンドギャップ基準電圧発生回路に関する。

【0002】

【従来の技術】 半導体集積回路では一定の基準電圧を発生するためにバンドギャップ基準電圧発生回路が使われる。バンドギャップ基準電圧発生回路を使用する半導体集積回路の正確な動作はバンドギャップ基準電圧発生回路の能力に依存し、よってバンドギャップ基準電圧発生回路は安定して一定の基準電圧を発生すべきである。一方、バンドギャップ基準電圧発生回路の出力、即ち基準電圧の変動(Fluctuation)に影響を及ぼす多数の要因のうち温度変化(Variation)が共通の要因である。

【0003】 前記内容は当業者には周知の事実であり、温度変化に影響を受けなく一定の基準電圧を提供する代表的なCMOSバンドギャップ基準電圧発生回路がAllen/Ho

Ibergによる“CMOS Analog Circuit Design”、596～599頁に開示されている。他のCMOSバンドギャップ基準電圧発生回路の例が米国特許第4,588,941号(1986.5.13、D. A. KERTH)に開示されている。

【0004】

【発明が解決しようとする課題】しかし、前記従来のバンドギャップ基準電圧発生回路では、電源電圧の変化に応じて基準電圧が変動し、かつ製造工程の変化に応じて基準電圧が変動する短所がある。

【0005】従って、本発明は、電源電圧の変化及び製造工程の変化に影響を受けなく一定の基準電圧を発生するバンドギャップ基準電圧発生回路を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明に係るバンドギャップ基準電圧発生回路は、定電圧供給手段と、この定電圧供給手段を通じて流れる第1電流を反射させ第2電流を発生する第1電流ミラーと、前記定電圧供給手段から出力される定電圧により制御され、前記第2電流を反射させ第3電流を発生して出力ノードに出力する第2電流ミラーとを具備することを特徴とする。本発明に係るバンドギャップ基準電圧発生回路は、前記出力ノードに基準電圧を発生するために前記出力ノードに接続される基準電圧手段をさらに具備し、この基準電圧手段は少なくとも一つのPMOSトランジスタと少なくとも一つのNMOSトランジスタで構成され、このPMOSトランジスタとNMOSトランジスタのスレッシュOLD電圧を決定するためのイオン注入が同時に行われることを特徴とする。また、前記本発明に係るバンドギャップ基準電圧発生回路は前記出力ノードと前記基準電圧手段間に接続される抵抗をさらに具備しうる。

【0007】望ましい形態によれば、前記PMOSトランジスタと前記NMOSトランジスタは前記出力ノードと接地電圧との間に直列または並列に接続される。前記定電圧供給手段は、電源電圧にソースが接続されるPMOSトランジスタ及びこのPMOSトランジスタのドレインに一端が接続され、かつPMOSトランジスタのゲートに他端が接続される抵抗とを具備し、前記PMOSトランジスタのドレインから定電圧が出力される。前記第1電流ミラーは、ドレインが前記定電圧供給手段に接続され、ソースが接地電圧に接続される第1NMOSトランジスタと、ドレイン及びゲートが前記第1NMOSトランジスタのゲートと前記第2電流ミラーに共通接続され、ソースが接地電圧に接続される第2NMOSトランジスタを具備する。前記第2電流ミラーは、電源電圧にソースが接続され、前記第1電流ミラーにドレインが接続され、前記定電圧供給手段にゲートが接続される第1PMOSトランジスタ及び電源電圧にソースが接続され、前記出力ノードにドレインが接続され、前記定電圧供給手段にゲートが接続される第2PMOSトランジスタを具備する。

【0008】望ましい他の形態によれば、前記PMOSトランジスタと前記NMOSトランジスタは電源電圧と前記出力ノードとの間に直列または並列に接続される。前記定電圧供給手段は、接地電圧にソースが接続されるNMOSトランジスタ及びこのNMOSトランジスタのドレインに一端が接続され、かつNMOSトランジスタのゲートに他端が接続される抵抗を具備し、前記NMOSトランジスタのドレインから定電圧が出力される。前記第1電流ミラーは、ドレインが前記定電圧供給手段に接続され、ソースが電源電圧に接続される第1PMOSトランジスタと、ドレイン及びゲートが前記第1PMOSトランジスタのゲートと前記第2電流ミラーに共通接続され、ソースが電源電圧に接続される第2PMOSトランジスタを具備する。前記第2電流ミラーは、接地電圧にソースが接続され、前記第1電流ミラーにドレインが接続され、前記定電圧供給手段にゲートが接続される第1NMOSトランジスタ及び接地電圧にソースが接続され、前記出力ノードにドレインが接続され、前記定電圧供給手段にゲートが接続される第2NMOSトランジスタを具備する。

【0009】

【発明の実施の形態】以下、添付した図面に基づき本発明の望ましい実施の形態を詳しく説明する。しかし、本発明の実施の形態は多様な形態に変形でき、本発明の範囲が下記実施の形態にのみ限定されるものではない。本発明の実施の形態は当業者に本発明を完全に説明するために提供されるものである。図面において同じ符号及び番号は同じ要素を意味する。

【0010】図1を参照すれば、第1実施形態に係るバンドギャップ基準電圧発生回路は、定電圧供給手段10、第1電流ミラー12、第2電流ミラー14及び基準電圧手段16を具備する。

【0011】前記定電圧供給手段10は電源電圧VDDにソースが接続されるPMOSトランジスタM1及びこのPMOSトランジスタM1のドレインに一端が接続され、PMOSトランジスタM1のゲートに他端が接続される抵抗R1を具備し、前記PMOSトランジスタM1のドレインから定電圧Vsが出力される。これにより、定電圧Vsは電源電圧VDDの変化に係わらず一定に保たれる。

【0012】前記第1電流ミラー12は、NMOSトランジスタM3とNMOSトランジスタM4を具備し、前記定電圧供給手段10を通じて流れる電流i1、即ち前記NMOSトランジスタM3を通じて流れる電流i3と前記NMOSトランジスタM4を通じて流れる電流i4との間にミラー動作を提供する。つまり、第1電流ミラー12は前記電流i3を反射(Mirroring)させ前記電流i4を発生する。前記NMOSトランジスタM3のドレインは前記抵抗R1の他端に接続され、前記NMOSトランジスタM3のソースは接地電圧VSSに接続される。前記NMOSトランジスタM4のドレイン及びゲートは前記NMOSトランジスタM3のゲートと第2電流ミラー14に共通接続され、ソースは接地電圧VSSに接続される。

【0013】前記第2電流ミラー14は、前記定電圧 V_s により制御されるPMOSトランジスタM2とPMOSトランジスタM5を具備し、前記第1電流ミラー12の前記NMOSトランジスタM4を通じて流れる電流 i_4 、即ち前記PMOSトランジスタM2を通じて流れる電流 i_2 と前記PMOSトランジスタM5を通じて流れる電流 i_5 との間にミラー動作を提供する。つまり、前記第2電流ミラー14は前記電流 i_2 を反射させて前記電流 i_5 を発生して出力ノードOに出力する。前記PMOSトランジスタM2のソースは電源電圧VDDに接続され、前記PMOSトランジスタM2のゲートは前記定電圧 V_s に接続され、前記PMOSトランジスタM2のドレインは前記第1電流ミラー12の前記NMOSトランジスタM4のドレインに接続される。前記PMOSトランジスタM5のソースは電源電圧VDDに接続され、前記PMOSトランジスタM5のゲートは前記定電圧 V_s に接続され、前記PMOSトランジスタM5のドレインは基準電圧VREFが出力される出力ノードOに接続される。

【0014】前記基準電圧手段16は前記出力ノードOに前記基準電圧VREFを提供するために前記出力ノードOと接地電圧VSSとの間に接続される。具体的には、基準電圧手段16は前記出力ノードOと接地電圧VSSとの間に直列に接続される少なくとも一つのPMOSトランジスタMPと少なくとも一つのNMOSトランジスタMNを具備する。前記PMOSトランジスタMPのソースは前記出力ノードOに接続され、前記NMOSトランジスタMNのドレイン及びゲートは前記PMOSトランジスタMPのドレイン及びゲートに共通接続され、前記NMOSトランジスタMNのソースは接地電圧VSSに接続される。

【0015】ところが製造工程の変化に応じて前記基準電圧手段16の前記PMOSトランジスタMP及び前記NMOSトランジスタMNのスレッシュホールド電圧が変化し、これによって前記基準電圧手段16の両端間の電圧VCOMが変化する。従って、本発明の第1実施形態に係るバンドギャップ基準電圧発生回路では、製造工程の変化に応じて前記基準電圧手段16の両端間の電圧VCOMが変化するのを防止するために、製造工程時前記基準電圧手段16のPMOSトランジスタMP及びNMOSトランジスタMNのスレッシュホールド電圧を決定するためのイオン注入を同時に行う。

【0016】また、本発明の第1実施形態に係るバンドギャップ基準電圧発生回路は、前記出力ノードOと前記基準電圧手段16との間に接続される抵抗R2をさらに具備する。

【0017】以下、上記本発明の第1実施形態に係るバンドギャップ基準電圧発生回路の出力、即ち基準電圧VREFが電源電圧VDDの変化に影響を受けないことを説明する。まず、前記PMOSトランジスタM1、M2、M5及びNMOSトランジスタM3、M4がウィークインバージョン(Weak Inversion)領域で動作し、これらのチャンネル長さモジュレーション(Channel Length Modulation)効果を無視する場合、前記各トランジスタM1乃至M5の電流式は次のよう

に表される。前記PMOSトランジスタM1の電流式は下記数式1で表される。

【数1】

$$i_1 = S1 \cdot ip \cdot \exp\{q \cdot |V_{gs1}| / (np \cdot k \cdot T)\}$$

前記PMOSトランジスタM2の電流式は下記数式2で表される。

【数2】

$$i_2 = S2 \cdot ip \cdot \exp\{q \cdot |V_{gs2}| / (np \cdot k \cdot T)\}$$

前記NMOSトランジスタM3の電流式は下記数式3で表される。

【数3】

$$i_3 = S3 \cdot in \cdot \exp\{q \cdot V_{gs3} / (nn \cdot k \cdot T)\}$$

前記NMOSトランジスタM4の電流式は下記数式4で表される。

【数4】

$$i_4 = S4 \cdot in \cdot \exp\{q \cdot V_{gs4} / (nn \cdot k \cdot T)\}$$

また、前記PMOSトランジスタM5の電流式は下記数式5で表される。

【数5】

$$i_5 = S5 \cdot ip \cdot \exp\{q \cdot |V_{gs5}| / (np \cdot k \cdot T)\}$$

【0018】前記数式1乃至5において、S1乃至S5は前記各トランジスタM1乃至M5の幅/長さの比率を示す。ipはPMOSトランジスタの製造工程に応じたパラメータを、inはNMOSトランジスタの製造工程に応じたパラメータを示す。Vgs1乃至Vgs5は前記各トランジスタM1乃至M5のゲートとソース間の電圧を示す。npはPMOSトランジスタのサブスレッシュホールドスロープ(Subthreshold slope)因子(Factor)を、nnはNMOSトランジスタのサブスレッシュホールドスロープ因子を示す。また、qは電荷を、kはボルツマン定数(Boltzmann's constant)を、Tは温度を各々示す。

【0019】また、前記抵抗R1の両端間の電圧 V_{R1} は下記数式6で表される。

【数6】

$$V_{R1} = |V_{gs1} - V_{gs2}|$$

次いで、前記数式1及び数式2からVgs1及びVgs2を求めて前記数式6に代入すれば、前記 V_{R1} は下記数式7で表される。

【数7】

$$V_{R1} = (np \cdot k \cdot T / q) \ln\{(S2/i_2) \cdot (i_1/S1)\}$$

また、前記電流 i_1 と前記電流 i_3 、前記電流 i_2 と前記電流 i_4 は同一であり、前記NMOSトランジスタM3と前記NMOSトランジスタM4が電流ミラーを形成するので、即ち $V_{gs3} = V_{gs4}$ なので下記数式8が成立つ。

【数8】

$$(i1/i2) = (i3/i4) = (S3/S4)$$

【0020】次いで、前記数学式8を前記数学式7に代入すれば、前記 V_{R1} は下記数学式9で表される。

【数9】

$$V_{R1} = (np.k.T/q) \cdot \ln\{(S2/S4) \cdot (S3/S1)\}$$

一方、 $i1 = V_{R1}/R1$ なので前記数学式9をこれに代入すれ

$$i2 = (S4/S3) \cdot (np.k.T/q/R1) \cdot \ln\{(S2/S4) \cdot (S3/S1)\}$$

【0021】また、前記PMOSトランジスタM2と前記PMOSトランジスタM5は電流ミラーを形成するので、即ち $V_{gs2} = V_{gs5}$ なので前記数学式2と数学式5から下記数学式12が成立つ。

【数12】

$$i5 = (S4/S3) \cdot (S5/S2) \cdot (np.k.T/q/R1) \cdot \ln\{(S2/S4) \cdot (S3/S1)\}$$

この数学式13において、 $i5$ は電源電圧VDDに関連したパラメータを含まないので、前記 $S1$ 乃至 $S5$ 、即ち前記各トランジスタM1乃至M5の幅/長さの比率が決定されると $i5$ は電源電圧VDDの変化に影響を受けず一定の値を有することになる。

【0022】一方、前記基準電圧VREFは下記数学式14で表される。

【数14】

$$V_{REF} = i5 \cdot R2 + V_{COM}$$

ところが、 $i5$ は電源電圧VDDの変化に影響を受けず一定の値を有するので、 V_{COM} が一定であれば(しかし、前記 V_{COM} は製造工程の変化に応じて変化し、これに対しては後述する)、VREFも電源電圧VDDの変化に影響を受けず一定の値が保たれる。

【0023】次いで、前記PMOSトランジスタM1、M2、M5及びNMOSトランジスタM3、M4のチャンネル長さモジュレーション効果を考慮する場合、 $i5$ と電源電圧VDDとの間の関係を説明すれば次の通りである。電源電圧VDDが増加すれば、電流 $i1$ は、前記NMOSトランジスタM3のドレインとソース間の電圧 V_{ds3} の増加に伴って同時に増加することになる。電流 $i1$ が増加すると、前記PMOSトランジスタM1のソースとゲート間の電圧 $|V_{gs1}|$ 及び前記抵抗 $R1$ の両端間の電圧 V_{R1} が増加する。ところが、前記 V_{gs1} は $i1$ のログ関数で、 V_{R1} は $i1$ の1次関数なので V_{R1} の増加量が $|V_{gs1}|$ の増加量より多くなり、これにより前記PMOSトランジスタM2のソースとゲート間の電圧 $|V_{gs2}|$ 及び前記PMOSトランジスタM5のソースとゲート間の電圧 $|V_{gs5}|$ が減少する。

【0024】一方、電源電圧VDDが増加すれば、前記PMOSトランジスタM5のソースとドレイン間の電圧 V_{ds5} が増加してチャンネル長さモジュレーション効果が発生する。しかし、電源電圧VDDが増加すれば、前述したように同時に前記 $|V_{gs5}|$ が減少するので、チャンネル長さモジュレーション効果の影響が補償され、これにより $i5$

ば、 $i1$ は下記数学式10で表される。

【数10】

$$i1 = (np.k.T/q/R1) \cdot \ln\{(S2/S4) \cdot (S3/S1)\}$$

また、前記数学式8から $i2 = (S4/S3) \cdot i1$ なので、これに前記数学式10を代入すれば、 $i2$ は下記数学式11で表される。

【数11】

$$i5 = (S5/S2) \cdot i2$$

次いで、前記数学式11を前記数学式12に代入すれば、 $i5$ は下記数学式13で表される。

【数13】

が電源電圧の変化に鈍感になる。即ち、 $i5$ が電源電圧VDDの変化に影響を受けず一定した値を有し、つまりVREFは電源電圧VDDの変化に影響を受けず一定した値が保たれる。

【0025】以下、上記本発明の第1実施形態に係るバンドギャップ基準電圧発生回路の出力、即ち基準電圧VREFが製造工程の変化に影響を受けないことを説明する。前記基準電圧手段16のPMOSトランジスタMPとNMOSトランジスタMNが飽和領域で動作する場合、前記各トランジスタMP、MNの電流式は次のように表される。前記PMOSトランジスタMPの電流式は下記数学式15で表される。

【数15】

$$i5 = \beta p / 2 \cdot (V_{dsp} - |V_{tp}|)^2$$

ここで、 βp は前記PMOSトランジスタMPのトランスコンダクタンス(Transconductance)パラメータを、 V_{dsp} は前記PMOSトランジスタMPのドレインとソースとの間の電圧を、 V_{tp} は前記PMOSトランジスタMPのスレッシュホールド電圧を各々示す。また、前記NMOSトランジスタMNの電流式は下記数学式16で表される。

【数16】

$$i5 = \beta n / 2 \cdot (V_{dsn} - V_{tn})^2$$

ここで、 βn は前記NMOSトランジスタMNのトランスコンダクタンスパラメータを、 V_{dsn} は前記NMOSトランジスタMNのドレインとソースとの間の電圧を、 V_{tn} は前記NMOSトランジスタMNのスレッシュホールド電圧を各々示す。

【0026】一方、前記基準電圧手段16の両端間の電圧 V_{COM} は下記数学式17で表される。

【数17】

$$V_{COM} = V_{dsp} + V_{dsn}$$

従って、前記数学式15及び数学式16から各々 V_{dsp} と V_{dsn} を求めて前記数学式17に代入すれば、 V_{COM} は下記数学式

18で表される。

【数18】

$$V_{COM} = |V_{tp}| + \sqrt{2i_5 / \beta_p} + V_{tn} + \sqrt{2i_5 / \beta_n}$$

ここで、 V_{tn} 、 V_{tp} 、 β_p 、 β_n は全て製造工程の変化に応じてその値が変化し、特に V_{COM} の変化に最も大きな影響を与えるのは V_{tn} と V_{tp} である。従って、前述したように、本発明の第1実施形態に係るバンドギャップ基準電圧発生回路では、製造工程の変化に応じて前記PMOSトランジスタMPのスレッシュホールド電圧と前記NMOSトランジスタMNのスレッシュホールド電圧との和、即ち $V_{tn}+V_{tp}$ の変化を減らすために、製造工程時前記PMOSトランジスタMP及びNMOSトランジスタMNのスレッシュホールド電圧を決定するためのイオン注入を同時に行う。

【0027】図5は通常MOSトランジスタの垂直断面図であって、これに基づいてさらに詳しく説明する。MOSトランジスタのスレッシュホールド電圧は製造工程の様々なパラメータにより決定されるが、スレッシュホールド電圧の変化に影響を与える最大の要因はMOSトランジスタのゲートチャンネル53、56に対する不純物イオンの注入濃度である。一般のCMOS製造工程においては、 V_{tn} 及び V_{tp} の値を調節するためにNMOSトランジスタのゲートチャンネル56に対する不純物イオン注入とPMOSトランジスタのゲートチャンネル53に対する不純物イオン注入が独立して実施される。このような場合には V_{tn} と V_{tp} との間に相関関係が成立しない。

【0028】一方、NMOSトランジスタ及びPMOSトランジスタのスレッシュホールド電圧を決定するためのイオン注入、即ち前記NMOSトランジスタのゲートチャンネル56と前記PMOSトランジスタのゲートチャンネル53に対する不純物イオン注入が同時に行われる場合には、不純物イオンの注入濃度の変化に応じて V_{tn} と V_{tp} との間に相関関係が形成される。例えば、図5においてNMOSトランジスタのゲートチャンネル56とPMOSトランジスタのゲートチャンネル53にホウ素のような不純物イオンを同時に注入すれば、前記NMOSトランジスタのゲートチャンネル56のアクセプタ(Acceptor)濃度は増加し、前記PMOSトランジスタのゲートチャンネル53のドナー(Donor)濃度は減少することになる。これにより、図6に示されるように、NMOSトランジスタのスレッシュホールド電圧 V_{tn} は増大し、PMOSトランジスタのスレッシュホールド電圧 V_{tp} は減少する。具体的に、イオン注入濃度の変化に応じてスレッシュホールド電圧が目標点AからBに変化する場合にNMOSトランジスタのスレッシュホールド電圧は V_{tn} から $V_{tn}+\Delta V_{tn}$ に増大し、PMOSトランジスタのスレッシュホールド電圧は V_{tp} から $V_{tp}-\Delta V_{tp}$ に減少し、したがって、PMOSトランジスタのスレッシュホールド電圧とNMOSトランジスタのスレッシュホールド電圧の和はほぼ一定した値を保つ。これにより、 V_{COM} も一定した値が保たれ、即ち V_{REF} は製造工程の変化に影響を受けず、一定した値を保つ。

【0029】図2は本発明の第2実施形態に係るバンドギャップ基準電圧発生回路の回路図である。図2を参照すれば、第2実施形態に係るバンドギャップ基準電圧発生回路は、基準電圧手段26を除いて前記第1実施形態と同一の構成を有する。前記基準電圧手段26は基準電圧 V_{REF} が出力される出力ノード0と接地電圧 V_{SS} との間に接続される。具体的には、基準電圧手段26は前記出力ノード0と前記接地電圧 V_{SS} との間に並列に接続される少なくとも一つのPMOSトランジスタMP2と少なくとも一つのNMOSトランジスタMN2を含む。ここで、前記PMOSトランジスタMP2のソースは前記出力ノード0に接続され、前記PMOSトランジスタMP2のゲート及びドレインは接地電圧 V_{SS} に共通接続され、前記NMOSトランジスタMN2のドレイン及びゲートは前記出力ノード0に共通接続され、前記NMOSトランジスタMN2のソースは前記接地電圧 V_{SS} に接続される。

【0030】前記第1実施形態と同様に上記本発明の第2実施形態に係るバンドギャップ基準電圧発生回路でも、製造工程の変化に応じて前記基準電圧手段26の両端間の電圧 V_{COM} の変化を防止するために、製造工程時前記基準電圧手段26のPMOSトランジスタMP2及びNMOSトランジスタMN2のスレッシュホールド電圧を決定するためのイオン注入を同時に行う。また、上記第2実施形態に係るバンドギャップ基準電圧発生回路の出力、即ち基準電圧 V_{REF} は前記第1実施形態と同様な原理によって電源電圧 V_{DD} の変化に影響を受けず、一定した値が保たれる。その詳細な説明はここでは省略する。

【0031】以下、上記本発明の第2実施形態に係るバンドギャップ基準電圧発生回路の出力、即ち上記基準電圧 V_{REF} が製造工程の変化に影響を受けないことを説明する。前記基準電圧手段26のPMOSトランジスタMP2とNMOSトランジスタMN2が飽和領域で動作する場合、前記各トランジスタMP2、MN2の電流式は次のように表される。前記PMOSトランジスタMP2の電流式は下記数式19で表される。

【数19】

$$i_6 = \beta_p / 2 \cdot (V_{COM} - |V_{tp}|)^2$$

ここで、 β_p は前記PMOSトランジスタMP2のトランスコンダクタンスパラメータを、 V_{COM} は前記PMOSトランジスタMP2のドレインとソース間の電圧を、 V_{tp} は前記PMOSトランジスタMP2のスレッシュホールド電圧を各々示す。また、前記NMOSトランジスタMN2の電流式は下記数式20で表される。

【数20】

$$i_6 = \beta_n / 2 \cdot (V_{COM} - V_{tn})^2$$

ここで、 β_n は前記NMOSトランジスタMN2のトランスコンダクタンスパラメータを、 V_{COM} は前記NMOSトランジスタMN2のドレインとソースとの間の電圧を、 V_{tn} は前記NMOS

トランジスタMN2のスレッシュホールド電圧を各々示す。

【0032】一方、PMOSトランジスタM5の電流*i*5は下記数学式21で表される。

【数21】

$$i_5 = i_6 + i_7$$

従って、前記数学式19及び数学式20を数学式21に代入すれば、*i*5は下記数学式22で表される。

$$V_{COM} = (\beta_n V_{tn} + \beta_p |V_{tp}|) / (\beta_n + \beta_p) + \sqrt{2i_5 / (\beta_n + \beta_p) - \beta_n \beta_p (V_{tn} - |V_{tp}|)^2 / (\beta_n + \beta_p)^2}$$

ここで、前記NMOSトランジスタMN2のスレッシュホールド電圧を*V*_{tn}=*V*_n+Δ*V*_{tn}で表し、前記PMOSトランジスタMP2のスレッシュホールド電圧を|*V*_{tp}|=*V*_p-Δ*V*_{tp}で表し、Δ*V*_{tp}/

$$V_{COM} = \{(\beta_n V_n + \beta_p V_p) / (\beta_n + \beta_p) + (\beta_n - n \beta_p) / (\beta_n + \beta_p) \cdot \Delta V_{tn}\} + \sqrt{2i_5 / (\beta_n + \beta_p) - \beta_n \beta_p (V_n - V_p + \Delta V_{tn} + n \Delta V_{tn})^2 / (\beta_n + \beta_p)^2}$$

ここで、*V*_nは前記NMOSトランジスタMN2のスレッシュホールド電圧*V*_{tn}に対する目標値で、Δ*V*_{tn}は前記NMOSトランジスタMN2のゲートチャンネルに注入された不純物イオン濃度の変化に応じたスレッシュホールド電圧*V*_{tn}の変化量を示す。また、*V*_pは前記PMOSトランジスタMP2のスレッシュホールド電圧|*V*_{tp}|に対する目標値で、Δ*V*_{tp}は前記PMOSトランジスタMP2のゲートチャンネルに注入された不純

$$V_{COM} = \{(\beta_n V_n + \beta_p V_p) / (\beta_n + \beta_p) + \sqrt{2i_5 / (\beta_n + \beta_p) - \beta_n \beta_p (V_n - V_p + \Delta V_{tn} + n \Delta V_{tn})^2 / (\beta_n + \beta_p)^2} - (n V_n + V_p) / (1 + n) + \sqrt{2i_5 / \beta_p / (n + 1) - n (\Delta V_{tn} - [V_p - V_n] / [1 + n])^2}$$

【0034】図7に*V*_pと*V*_n間の差によるΔ*V*_{tn}-*V*_{COM}の特性グラフが示されており、Δ*V*_{tn}=(*V*_p-*V*_n)/(1+*n*)の時*V*_{COM}は最大値を有する。ここで、*V*_pと*V*_nが同一になるように不純物イオン濃度が決定されると、*V*_{COM}は下記数学式26で表される。

【数26】

$$V_{COM} = V_n + \sqrt{2i_5 / \beta_p / (n + 1) - n (\Delta V_{tn})^2}$$

図8にΔ*V*_{tn}に対するΔ*V*_{tp}の比率*n*によるΔ*V*_{tn}-*V*_{COM}の特性グラフが示されている。つまり、前記第2実施形態に係るバンドギャップ基準電圧発生回路では、Δ*V*_{tp}/Δ*V*_{tn}=*n*の時、β*n*/β*t*=*n*となるように前記NMOSトランジスタMN2のゲート幅及びゲート長さと前記PMOSトランジスタMP2のゲート幅及びゲート長さを決定し、前記NMOSトランジスタMN2のスレッシュホールド電圧と前記PMOSトランジスタMP2のスレッシュホールド電圧が同一になるように不純物イオン濃度が決定されると、スレッシュホールド電圧の変化に対する*V*_{COM}の依存性が改善される。即ち、製造工程の変化による前記基準電圧*V*_{REF}への影響を除去できる。

【数22】

$$i_5 = \beta_p / 2 (V_{COM} - |V_{tp}|)^2 + \beta_n / 2 (V_{COM} - V_{tn})^2$$

【0033】次いで、前記数学式22から*V*_{COM}を求めると下記数学式23で表される。

【数23】

Δ*V*_{tn}=*n*の関係が成立つ時、*V*_{COM}は下記数学式24で表される。

【数24】

物イオン濃度の変化に応じたスレッシュホールド電圧|*V*_{tp}|の変化量を示す。ここで、β*n*/β*t*=*n*となるように前記NMOSトランジスタMN2のゲート幅及びゲート長さと前記PMOSトランジスタMP2のゲート幅及びゲート長さを決定すれば、*V*_{COM}は下記数学式25で表される。

【数25】

【0035】図3は本発明の第3実施形態に係るバンドギャップ基準電圧発生回路の回路図である。図3を参照すれば、第3実施形態に係るバンドギャップ基準電圧発生回路は、前記第1実施形態と同様に定電圧供給手段30、第1電流ミラー32、第2電流ミラー34及び基準電圧手段36を具備する。この第3実施形態に係るバンドギャップ基準電圧発生回路は、前記第1実施形態におけるPMOSトランジスタがNMOSトランジスタに、NMOSトランジスタがPMOSトランジスタに、電源電圧*V*_{DD}が接地電圧*V*_{SS}に、接地電圧*V*_{SS}が電源電圧*V*_{DD}に各々変更された形態を有する。

【0036】前記定電圧供給手段30は接地電圧*V*_{SS}にソースが接続されるNMOSトランジスタM33及びこのNMOSトランジスタM33のドレインに一端が接続され、かつNMOSトランジスタM33のゲートに他端が接続される抵抗R31を具備し、前記NMOSトランジスタM33のドレインから定電圧*V*_sが出力される。これにより、前記定電圧*V*_sは電源電圧*V*_{DD}の変化にも係わらず一定に保たれる。

【0037】前記第1電流ミラー32は、PMOSトランジスタM31とPMOSトランジスタM32を具備し、前記定電圧供給手段30を通じて流れる電流、即ちPMOSトランジスタM31

を通じて流れる電流とPMOSトランジスタM32を通じて流れる電流との間にミラー動作を提供する。つまり、前記第1電流ミラー32は前記PMOSトランジスタM31を通じて流れる電流を反射させて前記PMOSトランジスタM32を通じて流れる電流を発生する。前記PMOSトランジスタM31のドレインは前記抵抗R31の他端に接続され、前記PMOSトランジスタM31のソースは電源電圧VDDに接続される。前記PMOSトランジスタM32のドレイン及びゲートは前記PMOSトランジスタM31のゲートと第2電流ミラー34に共通接続され、ソースは電源電圧VDDに接続される。

【0038】前記第2電流ミラー34は、前記定電圧 V_s により制御されるNMOSトランジスタM34とNMOSトランジスタM35とを具備し、前記第1電流ミラー32の前記PMOSトランジスタM32を通じて流れる電流、即ち前記NMOSトランジスタM34を通じて流れる電流と前記NMOSトランジスタM35を通じて流れる電流との間にミラー動作を提供する。つまり、第2電流ミラー34は前記NMOSトランジスタM34を通じて流れる電流を反射させて前記NMOSトランジスタM35を通じて流れる電流を発生して出力ノードOに出力する。前記NMOSトランジスタM34のソースは接地電圧VSSに接続され、前記NMOSトランジスタM34のゲートは前記定電圧 V_s に接続され、前記NMOSトランジスタM34のドレインは前記第1電流ミラー32の前記PMOSトランジスタM32のドレインに接続される。前記NMOSトランジスタM35のソースは接地電圧VSSに接続され、前記NMOSトランジスタM35のゲートは前記定電圧 V_s に接続され、前記NMOSトランジスタM35のドレインは基準電圧VREFが出力される前記出力ノードOに接続される。

【0039】前記基準電圧手段36は前記出力ノードOに前記基準電圧VREFを提供するために前記出力ノードOと電源電圧VDDとの間に接続される。具体的には、基準電圧手段36は前記出力ノードOと電源電圧VDDとの間に直列に接続される少なくとも一つのPMOSトランジスタMP3と少なくとも一つのNMOSトランジスタMN3を具備する。前記NMOSトランジスタMN3のソースは前記出力ノードOに接続され、前記NMOSトランジスタMN3のドレイン及びゲートは前記PMOSトランジスタMP3のドレイン及びゲートに共通接続され、前記PMOSトランジスタMP3のソースは電源電圧VDDに接続される。

【0040】また、前記第1実施形態と同様に、製造工程の変化による前記基準電圧手段36の両端間の電圧 V_{COM} の変化を防止するために、製造工程時前記基準電圧手段36のPMOSトランジスタMP3及びNMOSトランジスタMN3のスレッシュホールド電圧を決定するためのイオン注入は同時に行われる。さらに、出力ノードOと前記基準電圧手段36の間には抵抗R32が接続される。

【0041】このような第3実施形態に係るバンドギャップ基準電圧発生回路の出力、即ち基準電圧VREFは前記第1実施形態と同一の原理によって電源電圧VDDの変化及び製造工程の変化に影響を受けず一定した値に保たれる

が、ここではその詳細な説明は省略する。

【0042】図4は本発明の第4実施形態に係るバンドギャップ基準電圧発生回路の回路図である。図4を参照すれば、第4実施形態に係るバンドギャップ基準電圧発生回路は、基準電圧手段46を除いて前記第3実施形態と同一の構成を有する。前記基準電圧手段46は基準電圧VREFが出力される出力ノードOと電源電圧VDDとの間に接続される。具体的には、基準電圧手段46は前記出力ノードOと前記電源電圧VDDとの間に並列に接続される少なくとも一つのPMOSトランジスタMP4と少なくとも一つのNMOSトランジスタMN4を含む。ここで、前記PMOSトランジスタMP4のソースは前記電源電圧VDDに接続され、前記PMOSトランジスタMP4のゲート及びドレインは前記出力ノードOに共通接続され、前記NMOSトランジスタMN4のドレイン及びゲートは前記電源電圧VDDに共通接続され、前記NMOSトランジスタMN4のソースは前記出力ノードOに接続される。また、前記第1実施形態と同様に、製造工程の変化による前記基準電圧手段46の両端間の電圧 V_{COM} の変化を防止するために、製造工程時前記基準電圧手段46のPMOSトランジスタMP4及びNMOSトランジスタMN4のスレッシュホールド電圧を決定するためのイオン注入は同時に行われる。このような前記第4実施形態に係るバンドギャップ基準電圧発生回路の出力、即ち前記基準電圧VREFは前記第2実施形態と同一の原理によって電源電圧VDDの変化及び製造工程の変化に影響を受けず一定した値に保たれるが、ここではその詳細な説明は省略する。

【0043】

【発明の効果】以上詳細に説明したように本発明に係るバンドギャップ基準電圧発生回路は電源電圧の変化及び製造工程の変化に影響を受けず一定した基準電圧を発生しうる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るバンドギャップ基準電圧発生回路の回路図である。

【図2】本発明の第2実施形態に係るバンドギャップ基準電圧発生回路の回路図である。

【図3】本発明の第3実施形態に係るバンドギャップ基準電圧発生回路の回路図である。

【図4】本発明の第4実施形態に係るバンドギャップ基準電圧発生回路の回路図である。

【図5】通常のMOSトランジスタの垂直断面図である。

【図6】不純物イオン濃度の変化に応じたPMOSトランジスタのスレッシュホールド電圧及びNMOSトランジスタのスレッシュホールド電圧の変化を示す特性図である。

【図7】PMOSトランジスタのスレッシュホールド電圧とNMOSトランジスタのスレッシュホールド電圧間の差に応じた $\Delta V_{tn} - V_{COM}$ の特性図である。

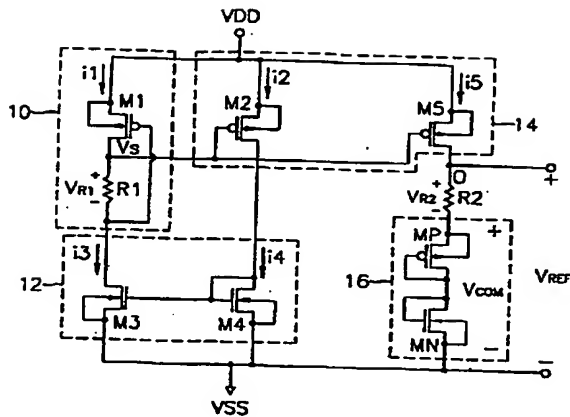
【図8】 ΔV_{tn} に対する ΔV_{tp} の比率 n に応じた $\Delta V_{tn} - V_{COM}$ の特性図である。

【符号の説明】

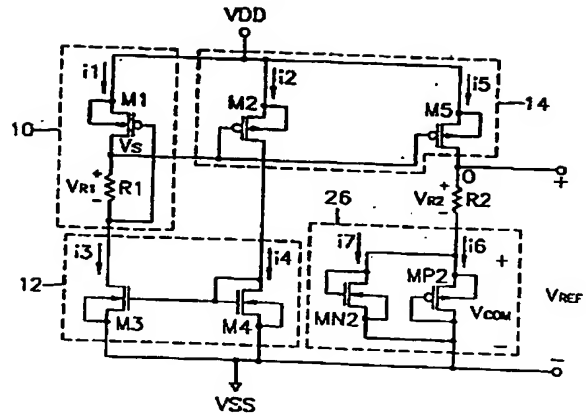
- 10 電圧供給手段
12 第1電流ミラー

- 14 第2電流ミラー
16 基準電圧手段

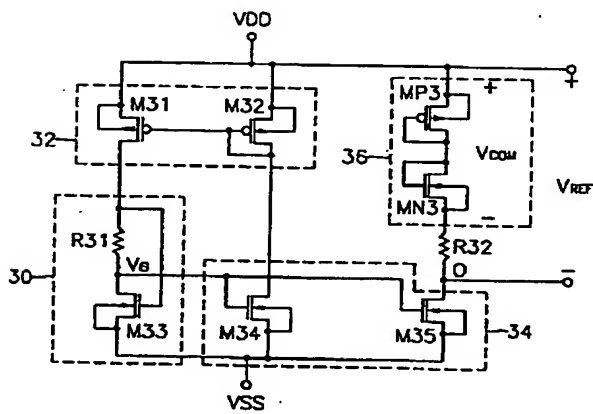
【図1】



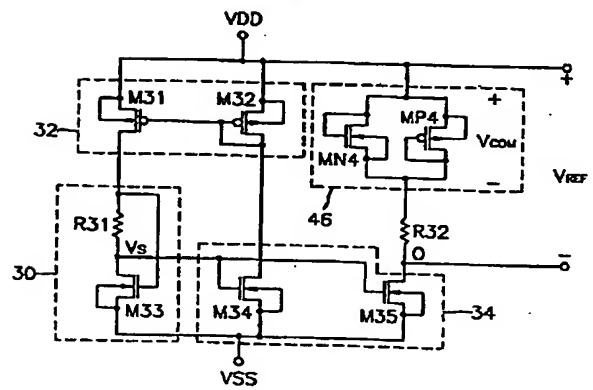
【図2】



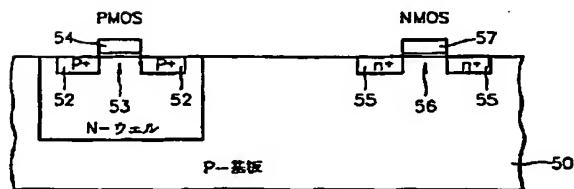
【図3】



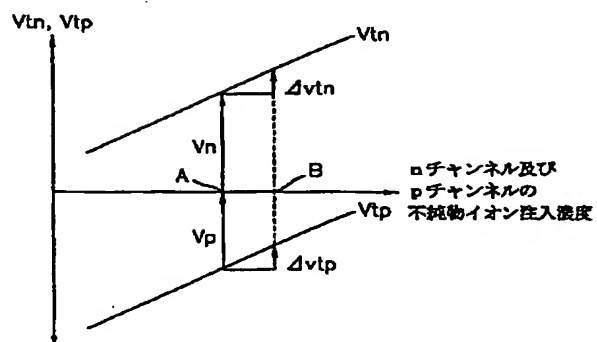
【図4】



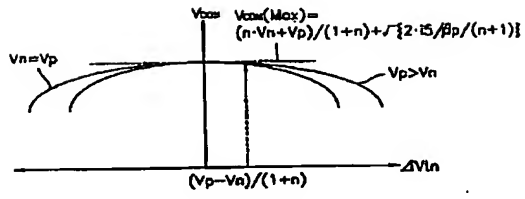
【図5】



【図6】



【図7】



【図8】

